

40나노의 알테라 ②

지터, 신호 무결성, 전력, 프로세스 최적화 트랜시버

이 장에서는 직렬 리시버의 중요한 요소로서 클록 복구에 대해 살펴본다(1). 먼저 Stratix IV GX의 클록 복구 서브시스템 아키텍처와 작동 메커니즘에 대해 상세히 살펴보고, 그 다음 이 아키텍처의 기능과 성능을 살펴보고, 다른 클록 복구 기술과 비교해 본다.

자료제공 : 알테라
www.altera.com

연재

- ① 개요 및 40nm 프로세스 노드 및 트랜시버, 아키텍처
- ② 혼성신호 클록 복구
- ③ 첨단 클록 및 타이밍 발생, 전력 및 지터

혼성신호 클록 복구

이 장에서는 직렬 리시버의 중요한 요소로서 클록 복구에 대해 살펴본다(1). 먼저 Stratix IV GX의 클록 복구 서브시스템 아키텍처와 작동 메커니즘에 대해 상세히 살펴보고, 그 다음 이 아키텍처의 기능과 성능을 살펴보고, 다른 클록 복구 기술과 비교해 본다.

하이브리드(디지털 지원) 클록 복구

Stratix IV GX FPGA는 그림 1에서 보듯이 아날로그 PLL 기반 CRC와 위상 보간기 기반 CRC를 혼합한 하이브리드 클록 복구 아키텍처를 이용한다. 이 아키텍처는 CRC가 데이터와 레퍼런스 클록을 모두 수신한다. CRC가 2개의 완벽하게 통합적인 루프로서 PFD(lock-to-clock)와

PD(lock-to-data) 루프를 포함한다. 이들은 공통의 차지 펄프(CP), 루프 필터(LF), 전압 제어 발진기(VCO)를 공유한다. PFD 루프는 정상적인 PLL 구조와 동일한 것으로서 적합한 피드백 카운트 값을 이용해 PLL을 원하는 주파수로 학습시키기 위해 이용된다. PD 루프는 PLL 출력 클록 주파수를 수신 데이터와 일치시키기 위해 이용된다.

CRC는 언제나 PFD 루프(또는 PFD 모드)를 이용해서 시작한다. CDR이 원하는 출력 주파수에 도달하면 CRC가 자동으로 PFD 루프에서 PD 루프로 전환해서 수신 데이터를 추적하고 복구된 클록을 신속하게 발생시킬 수 있도록 한다. 이 시점에 주파수가 복구되기 때문이다. CRC에서는 PPM 검출 회로가 복구 클록과 레퍼런스 클록 사이에 PPM(parts per million) 차이를 검사한다. 만약 CRC 클록이 원하는 주파수에서 너무 많이 벗어나면(예를 들어 과도한 확산 스펙트럼의 경우) PPM 검출 회로가 CRC를 PD 루프에서 PFD 루프로 전환해서 CDR 출력 주파수가 유지되도록 한다.

Stratix IV GX CRC는 또한 전력 최적화를 위한 디자인이다. 전력 소비를 낮추기 위해서 VCO 주파수가 데이터 전송 레이트의 절반인 하프 레이트 디자인을 이용해서 CRC를 구현하고 데이터 및 클록 에지를 이용해서 수신 데이터를 샘플링 한다.

성능 비교

각 링크 아키텍처와 관련 CRC는 지터 허용, 설계 유연성

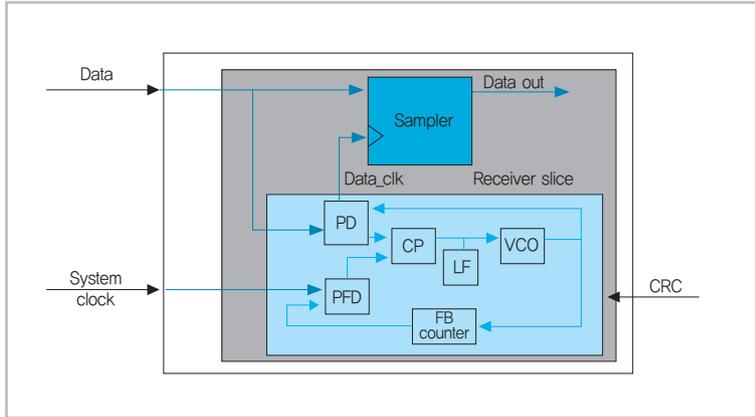


그림 1. Stratix IV GX 클록 복구

및 면적, 전이 밀도, 런 길이 허용, 동기화 시간 성능 등에 있어서 각기 장점과 단점이 있다. 시스템 디자이너들은 시스템 요구를 충족하는 적절한 설계 및 설계 절충을 달성하기 위해서 통합적 디바이스의 성과와 한계점을 이해해야 한다.

지터 허용오차

지터 허용오차는 리시버가 데이터를 잃지 않으면서 수신 데이터에 있어 얼마나 많은 지터를 허용할 수 있는지 나타내는 것이

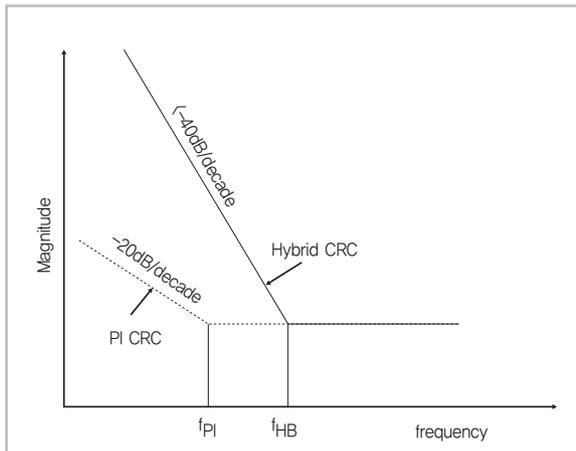


그림 2. 지터 허용오차 비교

다. 지터 허용오차는 CRC 특성에 의해 좌우되는 지터 전달 함수(JTF)와 밀접하게 연관되며 다수의 고속 통신 I/O 표준에서 적합성 테스트로서 요구된다. 시스템 디자이너는 표준의 요구를 충족하거나 초과하는 리시버를 선택해야 한다. 예를 들어서 전화 <아키텍처>에서 살펴본 하이브리드 PLL CRC를 위해서는 JTF가 최소한 이차 고역 통과로서 3dB 대역폭이 최고 수십 MHz에 달한다. 하이브리드 PLL CRC는 낮은 주파수에서 상당한 양의 지터를 허용한다.

반면에 PI 기반 CRC는 대역폭이 적분 스텝(위상)의 수, 상향 및 하향 카운터 설정, 컨트롤러 업데이트 레이트에 의해서 달라진다. 필요한 위상 분해능을 달성하기 위해서는 되도록 많은 스텝을 발생시키는 것이 바람직하나 그러면 CDR 대역폭을 감소시킨다. 또한 <아키텍처>에서 논의했듯이 PI 기반 CRC는 일차 고역 통과 JTF를 이용하며 3dB 대역폭이 통상적으로 MHz대 이다. 제한적인 지터 허용오차 때문에 낮은 지터의 높은 성능 트랜스미터는 PI CRC를 이용하는 링크 시스템을 설계해야 한다. 그림 2는 PI CRC와 하이브리드 CRC의 지터 허용오차를 비교한 것이다.

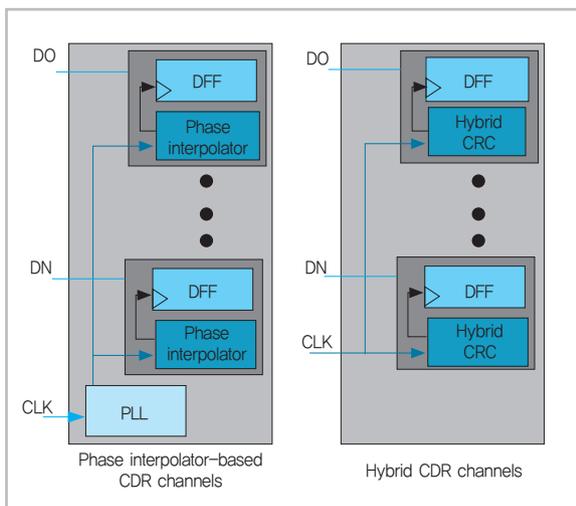


그림 3. 다중 레인 신호 구조비교

유연성과 범용성

대부분의 직렬 I/O 링크 시스템은 다중의 레인을 지원해야 하며, 이 점이 리시버의 클록 및 데이터 신호 입력 구조에 영향을 미친다. 그림 3은 PI와 하이브리드 아키텍처의 다중 채널 신호 및 클록 토폴로지를 보여준다.

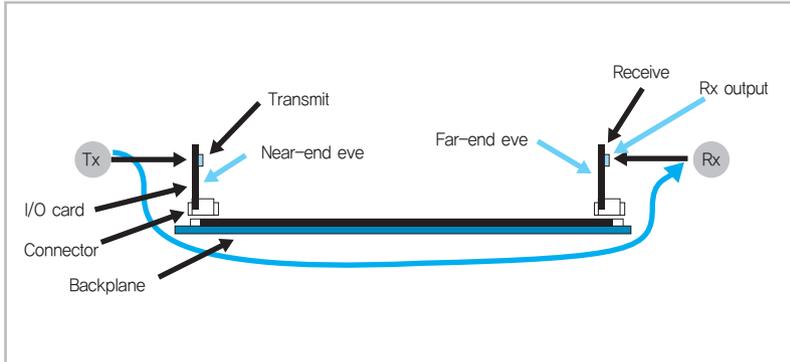


그림 4. 2개 칩 사이의 통상적인 백플레인 통신 다이어그램

PI CRC 기반 리시버는 단일 PLL을 이용해서 다중 채널 동작을 지원하는데 이는 추가적인 PLL이나 새로운 클록 분배 네트워크를 추가하지 않는 한, 시스템이 한 표준과 한 데이터 레이트만 지원하도록 제한한다. 반면에 하이브리드 CRC 기반 리시버는 각각의 채널이 고유의 CRC를 이용하므로 상호 매우 독립적이다. 다중 레인 리시버의 각각의 하이브리드 CRC가 독립적이므로 각각 다른 레인으로 각각 다른 데이터 레이트를 지원할 수 있다. 이 아키텍처는 시스템 디자이너가 각각 다른 표준이나 데이터 레이트를 동시에 지원할 수 있는 뛰어난 유연성을 제공한다.

전이 밀도 및 MRL(maximum run length)

모든 CRC는 수신 데이터로부터 비트 클록을 복구하고 유지하기 위해 데이터 전이에 의존한다. PI CRC는 수 UI 동안 어떠한 데이터 전이를 수신하지 않더라도 복구된 클록을 유지한다. 이는 클록을 입력 클록위상으로부터 도출하고 이것은 데이터 신호와 무관하기 때문이다. 대체적으로 아날로그 CRC는 MRL에 대한 허용오차가 낮으며, 그러므로 원하는 주파수에서 벗어나지 않고 작동하도록 하기 위해서는 디자이너가 데이터 스트림(예를 들어 8b/10b 인코딩은 MRL = 5)이나 스크램블드 데이터(예를 들어 PRBS 2^7-1 은 MRL = 7)를 적합한 MRL 및 전이 밀도가 되도록 인코딩해야 한다. 평균적으로 전이 밀도는 MRL에 반비례하다. 하이브리드 CRC MRL 성능은 500~1000UI 범위로서 아날로그 PLL과 PI CRC 사이이며 I/O 표준에서 정의하고 있는 대부분의 MRL

보다 훨씬 길다.

동기화 시간

아날로그 PLL CRC는 디지털 PI CRC와 비교해서 동기화 시간이 훨씬 길다. 동기화 시간이 길면 링크 시스템에 지연을 야기하고 효율을 저하시킨다. 하지만 하이브리드 CRC는 2모드 동작 특성에 의해서 원하는 주파수와 위상으로 신속하게 동기화할 수 있으며,

그러므로 기존의 아날로그 PLL 기반 CRC보다 동기화 시간이 짧다.

단대단 균등화

이 장에서는 균등화의 필요성과 이유, 각기 다른 균등화 기법 및 이들의 장단점, 백플레인이 어떻게 균등화 유형 선택에 영향을 미치는지 설명한다. 여기서 설명하고 있는 아키텍처는 0.622~6.5Gbps의 연속 데이터 레이트를 충족하는 것이며, 적절한 균등화를 위해서는 각각의 특정 백플레인에 따라 미세 조정을 필요로 한다. 다수의 고객 백플레인을 지원하기 위해서 수천 가지의 설정이 필요하므로 각기 다른 백플레인에 적합하게 적응식 균등화가 필요하다. 알테라는 오래 전부터 동급의 가장 우수한 솔루션을 제공해 왔다.

이유

앞 장 <기술 동향 및 과제>에서 살펴본듯이 데이터 레이트가 증가함으로써 감쇠, 반사, 결합이 증가한다. 칩들이 지금은 매우 고속이므로 백플레인을 통해 통신할 때 와이어의 대역폭 한계에 도달하게 된다(2). 그림 4는 백플레인 다이어그램 예를 보여주는 것으로서, Tx 디바이스가 Rx 디바이스로 신호를 전송한다. 여기서 목표는 되도록 높은 데이터 레이트로 Tx에서 Rx로 전기 신호를 전달하는 것이다. 전송 신호가 Tx 드라이버를 떠난 다음에는 Tx I/O 카드 트레이스를 거치고, 이어서 I/O 카드 커넥터, 백플레인 트레이스, Rx

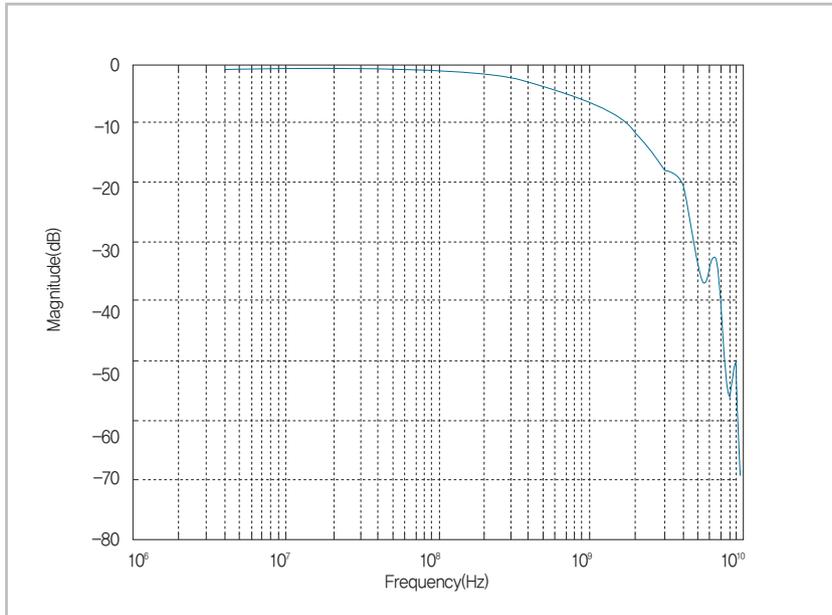


그림 5. 리저시 XAUI 백플레인의 주파수 응답

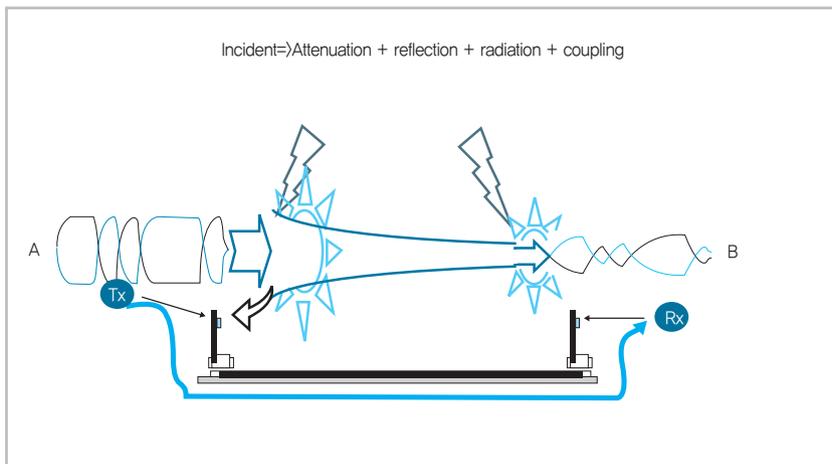


그림 6. 전송 매체의 영향을 받는 전송 신호

I/O 카드의 또 다른 커넥터, Rx 측의 또 다른 I/O 카드 트레이스 셋을 거쳐야 한다. 이 시스템의 대역폭 한계는 I/O 카드, 커넥터, 그리고 FR-4 소재의 40인치 이상에 달하는 백플레인의 결과이다. 스킨 효과, 와이어의 유전체 손실, 비아가 야기하는 반사가 Tx에서 Rx로 신호를 상당히 왜곡시킨다. 백플레인 와이어의 대역폭은 통상적으로 수백 MHz에서 최고 2GHz에 달한다.

그림 5는 3.125Gbps 시그널링용으로 구축된 10G GbE 백플레인의 한 I/O 표준으로서 리저시 XAUI의 주파수 응답을 보여준다. 보 레이트 (baud rate)의 3/4 지점 또는 대략적으로 2.3GHz에서 약 15dB의 감쇠가 발생한다. 하지만 이 동일한 리저시 백플레인을 6.5Gbps 동작에 이용하면 30dB 이상의 감쇠가 발생할 것이다.

리저시 XAUI 백플레인을 이용해서 Tx와 Rx 사이에 통신을 하고 했을 때 그림 6은 Tx 신호가 경험하는 다양한 효과들을 보여준다. 처음에는 링크의 근단인 A 지점에서 우수한 품질의 차동 신호가 관찰된다. 신호가 I/O 카드, 커넥터, 백플레인을 통해 전달될 때 감쇠, 반사, 방사, 결합에 의해서 왜곡된다. 링크의 원단인 B 지점에서는 A 지점으로부터 저하된 버전의 신호가 송신된다. 극단적인 경우에는 B 지점의 신호가 지나치게 감쇠됨으로써 2개의 차동 신호가 교차하지조차 않을 수 있다. 특히 긴 백플레인의 경우에는 입사 신호가 추가적으로 저하되고 동일한 백플레인으로 더 높은 데이터 레이트를 위해

서는 더 높은 저하를 일으킬 것이다. 이렇게 심하게 왜곡된 신호라 하더라도 어떻게든 처리해야 한다.

(원래 의도했던 속도 이상의) 증가된 데이터 레이트로 리저시 백플레인을 지원하는 것이 현재의 시스템을 업그레이드하기 위한 경제성 있는 방법이다. 시스템 업그레이드를 위해서는 I/O 카드를 리저시 시스템에서 신호 컨디셔닝이 가능한 차세대 고속 데이터 레이트 트랜시버로 교체하기만 하면

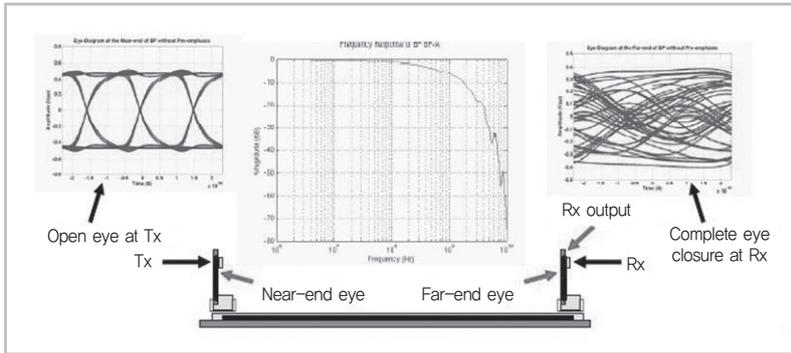


그림 7. 6.5Gbps의 XAUI 백플레인 예

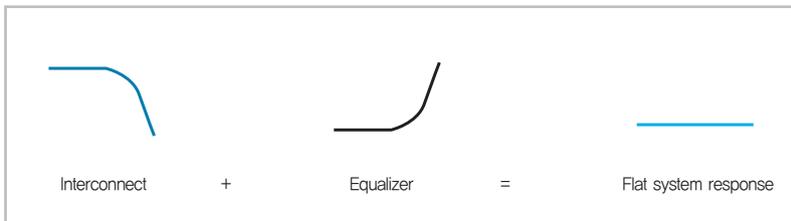


그림 8. 간략하게 표시한 균등화

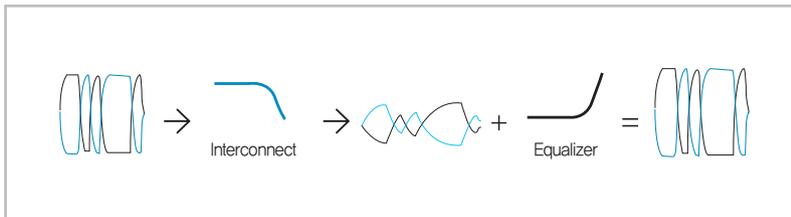


그림 9. 균등화 후에 결과적인 아이 다이어그램

된다. 높아진 데이터 레이트를 지원할 수 있는 새로운 백플레인 소재는 기존의 FR-4 소재보다 비싸다. 뿐만 아니라 백플레인을 교체하기 위해서 비싼 비용으로 전체 시스템을 교체해야 할 수 있다.

이러한 이유에서 시스템 디자이너들은 리저시 백플레인으로 동작하는 새로운 실리콘 트랜시버를 이용해 되도록 높은 대역폭을 달성하려고 한다.

그림 7은 예로 든 XAUI 백플레인 상에서 6.5Gbps 신호가 전송되는 것을 보여준다. 전송되는 신호가 심하게 감쇠됨으로써 원단에서 어떠한 아이를 식별할 수 없다. 이 문제에 대한 가장 실제적인 솔루션은 리시버가 데이터를 샘플링하기

전에 신호 컨디셔닝을 이용해서 아이를 개방시키는 것이며, 백플레인 감쇠를 보상하기 위해서는 온칩 균등화가 가장 실제적인 방법이다.

균등화의 개요

전송 매체는 선형 시스템으로서 역 전달 함수를 발생시킨다. 링크의 전달 함수로 이러한 역 전달 함수가 추가될 때는 결과적인 전달 함수가 필요한 주파수에 이르기까지 비교적 평탄하도록 하는 것이다. 그림 8은 주파수 도메인에서 이 개념을 간략하게 보여준다.

그림 9는 링크의 3개 중요 지점에서 아이 다이어그램을 보여준다. 첫 번째(왼쪽)는 Tx에서 전송되는 신호이다. 이 신호가 백플레인을 거치면서 결과적인 신호가 감쇠된다(가운데). 감쇠된 신호가 균등화기를 거친 후에는 원래의 아이가 복구된다(오른쪽).

선형 시스템이라고 했을 때는 인터랙트 전과 후에 신호 컨디셔닝을 적용할 수 있다는 점에 유의해야 한다. 앞서의 예에서는 균등화기를 원단인 리

시버에 배치했다. 마찬가지로 Tx의 신호를 전치왜곡해서 신호가 인터랙트를 거친 후에 결과적인 신호가 Rx에서 복구를 위해 깨끗하게 되도록 한다. 이러한 유형의 신호 컨디셔닝을 ‘엠퍼시스’라고 한다. 엠퍼시스에는 프리엠퍼시스(pre-emphasis)와 디엠퍼시스(de-emphasis)의 두 가지 유형이 있다. 하지만 복잡한 문제는 링크가 단순 감쇠곡선이 아닐 수 있다는 것이다. 전달 함수에 다중의 극점이 존재할 수 있을 뿐만 아니라 특정한 주파수에서 반사, 누화, 공진이 발생할 수 있다. 그러므로 이용할 수 있는 신호 컨디셔닝 기법의 방대한 툴박스에서 적합한 균등화 기법을 선택해야 한다. 